

Міністерство освіти і науки України
Національний університет “Львівська Політехніка”
Кафедра САПР

Курсова робота
з курсу “Комп’ютери та мікропроцесорні системи”
Пристрій мікропроцесорної обробки
аналогової інформації

Керівник:

Процько І.О.

“Допущено до захисту”

_____ 2004р.

Оцінка: _____

підпис _____

Виконав:

студент: _____

група: КН-_____

Залікова книжка № _____

підпис _____

Завдання на курсову роботу

Тема курсової роботи: “Мікропроцесорна обробка аналогової інформації”.

Постановка задачі: Розробити компоненти технічного і програмного забезпечення мікропроцесорного пристрою на базі МП КР580ВМ80, який включає аналогово-цифровий і цифро-аналоговий перетворювачі і виконує функцію цифрової обробки аналогової інформації. Обробка описується заданим пропорційно-інтегро-диференціальним рівнянням, що пов’язує аналогові сигнали $x(t)$ на вході і $y(t)$ на виході системи.

Термін здачі курсової роботи: 29.12.2004 року.

Початкові дані:

Функціональна залежність: $\tau_2 x(t) = \tau_2 y(t) + \tau_1 y'(t) + \int_0^t x(t) dt;$

Розрядність АЦП і ЦАП: 12;

Полярність вхідного сигналу: двополярний;

Організація обміну з АЦП: через переривання RST 5; використати 1-й режим роботи КР580ВВ55;

Об’єм ОЗП: 8Кб; організація мікросхеми пам’яті: 2048x8;

Вид функціонального вузла: системний контролер з використанням КР580ВК28.

Анотація

“Пристрій мікропроцесорної обробки аналогової інформації”. Курсова робота. – НУ ”Львівська політехніка”, каф.: САПР, дисципліна: “Комп’ютери і мікропроцесорні системи”, 2004.

Курсова робота складається з 35 сторінок, 11 таблиць, 16 схем, 1 додатку.

В даній роботі розроблено компоненти апаратного і програмного забезпечення мікропроцесорного пристрою, який включає аналого - і цифро-аналогові перетворювачі і виконує обробку за функціональною залежністю

$$\tau_2 x(t) = \tau_2 y(t) + \tau_1 y(t) + \int_0^t x(t) dt;$$
. Дана робота охоплює ввід і первинну обробку аналогової інформації, подальшу цифрову обробку інформації за програмою і вхідними даними, а також вивід обробленої інформації в аналоговій формі для подальшого використання.

Виконання курсової роботи має за мету: поглиблення теоретичних знань, технічних і програмних засобів мікропроцесорних пристроїв; розвиток навиків самостійної розробки загальної структури МПП з аналогово-цифровим і цифро-аналоговим перетворенням інформації, побудови принципових схем окремих вузлів принципів, розробки та відлагодження програмного забезпечення на мові асемблеру мікропроцесора КР580ВМ80; набуття навиків роботи з технічною та довідниковою літературою з питань реалізації ряду вузлів МПП, вибору аналого-цифрового і цифро-аналогово перетворювачів (АЦП і ЦАП), використання стандартних підпрограм з прикладного програмного забезпечення МП КР580ВМ80.

Зміст

Перелік умовних скорочень

Вступ

1. Синтез аналогової схеми фільтру
 2. Синтез структурної схеми цифрового фільтру
 3. Вибір і обґрунтування типу АЦП і ЦАП
 - 3.1 Вибір типу АЦП
 - 3.2 Вибір типу ЦАП
 - 3.3 Структура представлення даних
 4. Структурна схема та алгоритм функціонування МПП
 - 4.1 Опис структурної схеми МПП
 - 4.2 Розподіл адресного простору
 - 4.3 Алгоритм функціонування МПП
 5. Загальна структура програми роботи МПП
 - 5.1 Опис програм вводу, виводу
 - 5.2 Опис програми обробки інформації
 - 5.3 Оцінка верхньої фінітної частоти вхідного аналогового сигналу
 6. Опис функціонального вузла
- Аналіз результатів та висновки
- Список використаної літератури
- Додаток 1

Перелік умовних скорочень

Скорочення	Пояснення
МП	мікропроцесор;
ОП	операційний підсилювач;
ГТІ	генератор тактових імпульсів;
ТІ	тактові імпульси;
ШК	шина керування;
ШД	шина даних;
ША	шина адрес;
ППІ	програмований паралельний інтерфейс;
ПКП	програмований контролер переривань;
РЗК	регістри загального користування;
РКС	регістр керуючого слова;
ЦІС	цифрові інтегральні мікросхеми;
ІС	інтегральна схема;
ТТЛ	транзисторно транзисторна логіка;
АЦП	аналогово-цифровий перетворювач;
ЦАП	цифро-аналоговий перетворювач;
ВІС	велика інтегральна схема;
ЕОМ	електронно-обчислювальні машини;
ОЗП	оперативний запам'ятовуючий пристрій;
ПЗП	постійний запам'ятовуючий пристрій;
КМОН	комплементарний метал оксид напівпровідник;

Вступ

Сучасний рівень автоматизації в промисловості значною мірою забезпечується застосуванням систем програмного керування на базі мікропроцесорних обчислювальних пристроїв. Тому спеціалісти, які експлуатують та проектують системи автоматичного керування, повинні володіти відповідними знаннями не тільки для програмування мікропроцесорних обчислювальних пристроїв, але й для побудови та функціонування мікропроцесорних систем, мати навички роботи з ними для використання під час проектування та експлуатації систем програмного керування найрізноманітнішими пристроями та механізмами. Адже сфери використання мікропроцесорних пристроїв та систем надзвичайно різноманітні. Це універсальні обчислювальні пристрої – комп'ютери та калькулятори, а поза тим – системи керування електроприводами промислових механізмів та установок, робототехніка, системи контролю та сигналізація, електропобутова техніка, електричні системи і комплекси транспортних засобів тощо.

Електроніка як галузь техніки розвивається виключно швидкими темпами. Вона пройшла шлях від громіздких ламп до компактних транзисторів які з часом майже повністю замінили великі інтегральні схеми з густиною розміщення компонентів до десятків мільйонів транзисторів на одному кристалі. Зараз відбувається глобальні інтеграція електронних пристроїв: наприклад ядро мікропроцесора Pentium II з частотою 400 MHz запросто поміщається на монеті в 25 копійок, а сам персональний комп'ютер на його основі без проблем поміщається на письмовий стіл, тоді як років 10 назад набагато менш потужні системи займали величезні приміщення і коштували купу грошей; мобільний телефон, процесор якого по потужності наближається до всієї обчислювальної потужності Пентагону 70-х років запросто ховається в долоні.

Забезпечення високого технічного рівня автоматичних систем управління, радіотехнічних комплексів, засобів зв'язку, гнучких автоматизованих виробництв можливе лише на основі оптимального розподілу функцій між цифровими та аналоговими частинами в межах конкретної системи. Тому аналогові мікросхеми поряд із цифровими мікросхемами широко застосовуються у сучасних радіоелектронних засобах для підсилення, перетворення та обробки аналогових сигналів. Одночасно з розвитком інтегральної технології методи розробки та застосування аналогових мікросхем стають дійовим засобом успішного розв'язання складних інженерних задач проектування радіоелектронної апаратури за умови оволодіння ними інженером-розробником.

1. Синтез аналогової схеми фільтру

Пристрій, що реалізує на основі певної функціональної залежності перетворення вхідного аналогово сигналу у аналоговий вихідний сигнал називають аналоговим фільтром. Передавальна характеристика аналогово фільтру забезпечує відповідні амплітудно-частотні та фазово частотні залежності, що визначає тип фільтру.

У відповідності до індивідуального завдання функціональна залежність виглядає наступним чином:

де $x(t)$ – вхідний аналоговий сигнал; $y(t)$ – вихідний аналоговий сигнал;

Виразимо $y(t)$:

$$y(t) = \frac{1}{\tau} x(t) + \frac{1}{\omega} \frac{dx(t)}{dt} + \frac{1}{\omega^2} \frac{d^2x(t)}{dt^2} ; (1.1)$$

На схемі.1 зображена функціональна схема аналогово фільтру. На основі ОП1, ОП3, ОП4 зібрано схему диференціатора, на ОП2, ОП5 – схема інвертування, на ОП6 – схема додавання.

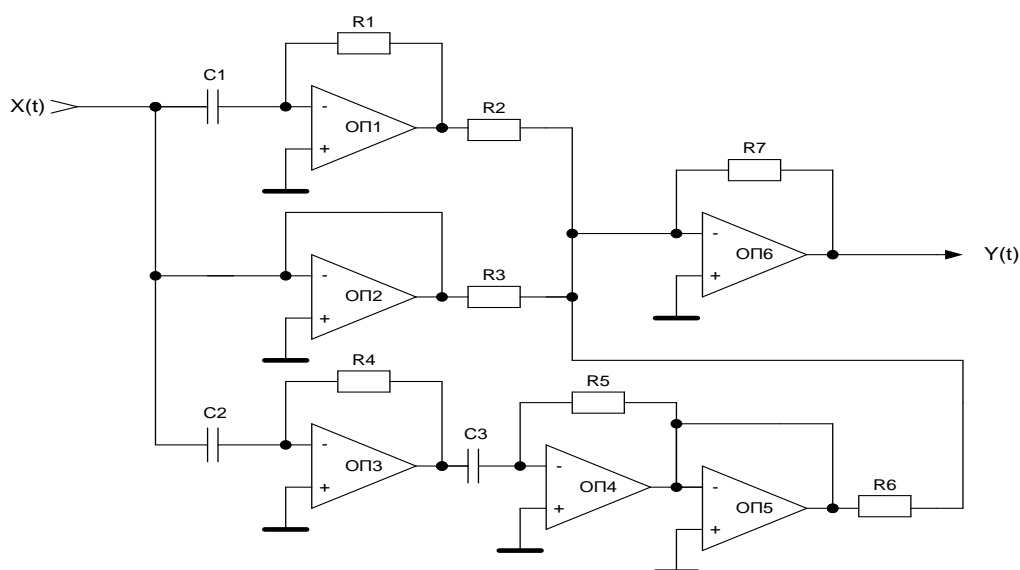


Схема 1. Функціональна схема аналогового фільтру

А константи при змінних тоді будуть виражені так:

$$\frac{1}{\tau} = \frac{R_7}{R_3}; \quad \frac{1}{\omega} = C_1 R_1 \frac{R_7}{R_2}; \quad \frac{1}{\omega^2} = C_2 R_4 C_3 R_5 \frac{R_7}{R_6};$$

2. Синтез структурної схеми цифрового фільтру

Технічні характеристики аналогових схем фільтрів на практиці обмежені та потребують схем корекції від температурного дрейфу та інших зовнішніх впливів. Цифрові методи обробки інформації оминаєть ці недоліки і знайшли широке застосування з появою мікропроцесорних пристроїв. Мікропроцесорна обробка характеризується збільшенням точності функціонального перетворення, швидкістю та гнучкістю, що забезпечується цифровим програмуванням та можливістю фільтрації більшого числа аналогових сигналів.

В лінійних системах вхідний $x(t)$ та вихідний $y(t)$ аналогові сигнали в загальному випадку зв'язані пропорційно-інтегро-диференціальним законом регулювання. Розглянемо перехід від пропорційно-інтегро-диференціальної функціональної залежності до її представлення в кінцево-різницевої формі.

Дискретизація аналогово рівня полягає в заміні безперервної величини її дискретними відліками ($x(t) \rightarrow x_n$, $y(t) \rightarrow y_n$) і відповідними перетвореннями похідних та інтегралів. Очевидна дискретизація першої похідної – її заміна першою скінченною різницею:

$$\frac{dx(t)}{dt} \approx \frac{x_n - x_{n-1}}{\Delta t},$$

де Δt – інтервал дискретизації.

Аналогічно скінченні різниці використовуються для дискретизації похідних вищих порядків. Так, наприклад, похідна другого порядку може бути замінена виразом:

$$\frac{d^2x(t)}{dt^2} \approx \frac{x_n - 2x_{n-1} + x_{n-2}}{\Delta t^2}.$$

Одним із способів дискретизації інтеграла полягає в його усуненні шляхом диференціювання рівняння. Інший спосіб прямої дискретизації пов'язаний з такими перетвореннями:

$$y(t) = \int_0^t x(p) dp; \quad y_n = \int_0^{t_n} x(p) dp = \int_0^{t_{n-1}} x(p) dp + \int_{t_{n-1}}^{t_n} x(p) dp \approx y_{n-1} + \frac{x_n + x_{n-1}}{2} \Delta t.$$

В результаті часової дескретизації при заміні безперервної величини її дискретними відліками ($x(t) \rightarrow x_n$, $y(t) \rightarrow y_n$) для заданого рівняння отримаємо рівняння цифрового фільтру. Це рівняння в загальній формі при обробці інформації в реальному масштабі часу, має вигляд:

$$y_n = \sum_{i=0}^m \alpha_i x_{n-i} + \sum_{j=1}^k b_j y_{n-j};$$

де m і k – кількість відліків, які обробляються цифровим фільтром в кожний момент часу (додатні цілі числа); a_i , b_j коефіцієнти, які визначають характеристики фільтра.

При наявності в правій частині рівняння членів виду y_{n-1} фільтр називається рекурсивним, при відсутності таких членів – нерекурсивним.

Розглянемо наступне рівняння:

$$y(t) = \frac{1}{\tau} x(t) + \frac{1}{\omega} \frac{dx(t)}{dt} + \frac{1}{\omega^2} \frac{d^2 x(t)}{dt^2}; \quad (2.1)$$

Застосувавши до нього вищевказані заміни отримаємо:

$$y_n = \frac{1}{\tau} x_n + \frac{1}{\omega} \left(\frac{x_n - x_{n-1}}{\Delta t} \right) + \frac{1}{\omega^2} \left(\frac{x_n - 2x_{n-1} + x_{n-2}}{\Delta t^2} \right);$$

$$y_n = x_n \left(\frac{1}{\tau} + \frac{1}{\omega \Delta t} + \frac{1}{\omega^2 \Delta t^2} \right) - x_{n-1} \left(\frac{2}{\omega^2 \Delta t^2} + \frac{1}{\omega \Delta t} \right) + x_{n-2} \left(\frac{1}{\omega^2 \Delta t^2} \right);$$

А замінивши константи на коефіцієнти:

$$a_0 = \left(\frac{1}{\tau} + \frac{1}{\omega \Delta t} + \frac{1}{\omega^2 \Delta t^2} \right); \quad a_1 = \left(\frac{2}{\omega^2 \Delta t^2} + \frac{1}{\omega \Delta t} \right); \quad a_2 = \left(\frac{1}{\omega^2 \Delta t^2} \right);$$

Отже рівняння цифрового фільтра не є рекурсивним і виглядатиме наступним чином:

$$y_n = a_0 x_n - a_1 x_{n-1} + a_2 x_{n-2}; \quad (2.2)$$

Цифровий фільтр може бути реалізований як апаратно, так і програмно. При апаратній розробці необхідними схемними елементами є вузли, що реалізують перемножувачі, суматори і елементи затримки. На схемі 3 зображена структурна схема апаратної реалізації цифрового фільтра, який описується рівнянням (2.2).

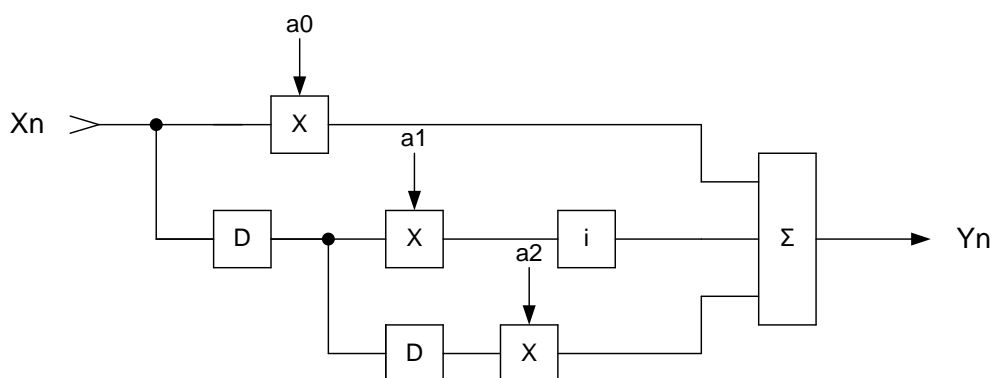
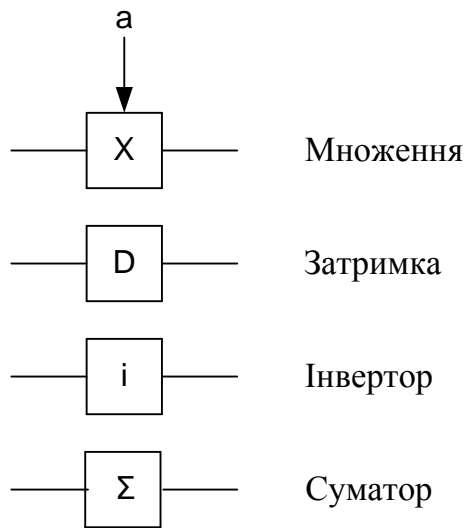


Схема 3. Структурна схема цифрового фільтра

Де використані такі структурні елементи:



Дана структурна схема складається з суматора, який об'єднує три складові.

3. Вибір і обґрунтування типу АЦП і ЦАП

3.1 Вибір типу АЦП

Вибір типу АЦП здійснювався за такими критеріями:

Кількість розрядів повинно відповідати умовам індивідуального завдання;

Керування роботою здійснюватиметься з мінімальними апаратними і програмними затратами;

Цифрові виходи повинні мати логічні рівні TTL-логіки, тобто допускається пряме підключення до каналів вводу-виводу;

Відповідність полярності вхідного сигналу до завдання.

Проаналізувавши запропоновані мікросхем ЦАП, зокрема К572ПВ1 (КР572ПВ1) і К1108ПВ2, я дійшов висновку що найкраще вище перерахованим критеріям відповідає ВІС АЦП К572ПВ1. Дамо коротку характеристику цій мікросхемі.

Напівпровідникова ВІС 12-ти розрядного АЦП, типу К572ПВ1 (А, Б, В) є універсальним багатофункціональним вузлом для пристроїв вводу-виводу МП систем низької і середньої швидкодії. Разом із зовнішніми ОП, ГТІ мікросхема виконує функції АЦП послідовного наближення з виводом паралельного двійкового коду через вихідні каскади з трьома станами, а також помножуючого АЦП з паралельним і послідовним вводом інформації. Конструктивно ВІС виконана в плоскому металокерамічному герметичному корпусі типу 4134.48-2.

У склад ВІС входять пристрої для організації побайтового обміну інформації з 8-розрядною шиною даних МП. В режимі АЦП існує можливість організації синхронної і циклічної роботи, довільного зменшення числа розрядів і виводу даних в послідовному коді.

Основні електричні параметри мікросхеми при температурі довколишнього середовища 25 ± 10 °С

Не менше Не більше

Нелінійність δ_L , %:

К572ПВ1А	-0,05	0,05
К572ПВ1Б	-0,1	0,1
К572ПВ1В	-0,2	0,2

Диференційна не лінійність δ_{LD} , %:

К572ПВ1А	-0,1	0,1
К572ПВ1Б	-0,2	0,2
К572ПВ1В	-0,4	0,4

Вихідна напруга низького рівня U_{OL} , В: — 0,3

Вихідна напруга високого рівня U_{OH} , В: 2,4 —

Струм споживання I_{CC1} , мА: — 3

Струм споживання I_{CC2} , мА: 5 —

Типове значення вихідного струму при $U_{REF} = 10$ В становить 50 мА. Вхідний струм управління не перевищує 1 мкА. Нормальне функціонування ВІС забезпечується при тактовій частоті до 250 кГц.

Кількість виводів мікросхеми становить 48. Їх нумерація і призначення наведені у таблиці 1.

Таблиця 1. Призначення виводів ВІС К572ПВ1

Вивід	Призначення
1	послідовний вхід;
2	вхід управління СР;
3	напруга живлення U_{CC1} ;
4-15	цифровий вхід-вихід (від СР до МР);
16	вхід управління МР;
17	вхід управління режимом;
22	вихід Цикл;
23	вхід порівняння;
24	напруга живлення U_{CC2} ;
25	вхід ТІ;
26	вихід Кінець перетворення;
27	вхід Пуск;

28	вхід Цикл;
29	вхід стробування ЦАП;
30	цифрова земля;
31	кінцевий вивід РМ R–2R;
32	загальний вивід резисторів R/2, R/4;
40	вивід резистора R/4;
41	вивід резистора R/2;
42	зразкова напруга U_{REF} ;
43	аналоговий вхід 1;
44	аналоговий вхід 2;
45	загальний вивід резисторів аналогових входів 1 і 2;
46	аналоговий вихід 1;
47	аналоговий вихід 2;
48	аналогова земля;
18-21, 33-39	незадіяні виводи.

Мікросхема працює від двох джерел живлення $U_{CC1} = (5 \div 15) \text{ В} \pm 5\%$ і $U_{CC2} = 15 \text{ В} \pm 5\%$. При узгодженні мікросхеми з ТТЛ схемами, напругу живлення U_{CC1} встановлюють $5 \text{ В} \pm 5\%$, а при узгодженні з КМОП схемами – $15 \text{ В} \pm 5\%$. При будь-якій U_{CC2} напруга високого рівня на вході порівняння не повинна бути менша за 10 В.

Гранично допустимі і граничні значення електричних режимів експлуатації:

Гранично допустимі Граничні

Не менше Не більше Не менше Не більше

Зразкова напруга U_{REF} , В: -10,29 10,29 -15 15

Вхідна напруга високого рівня U_{IH} , В: -2,4 5,25 2,4 17

Вхідна напруга низького рівня U_{IL} , В: 0 0,4 0 0,4

Вихідний струм високого рівня I_{OH} , мА: — 0,04 — 0,04

Вхідний струм низького рівня I_{OL} , мА: — 0,4 — 0,4

Робота ВІС в режимі АЦП проходить у відповідності з добре відомим принципом послідовного наближення з програмованим зсувом. Часова діаграма АЦП наведена на схемі 4. Перетворення здійснюється за 12 робочих тактів, кожен з яких за тривалістю рівний двом імпульсам ГТІ. Допоміжний

такт використовується для формування сигналу “кінець перетворення”. По цьому сигналу відбувається зчитування цифрової інформації.

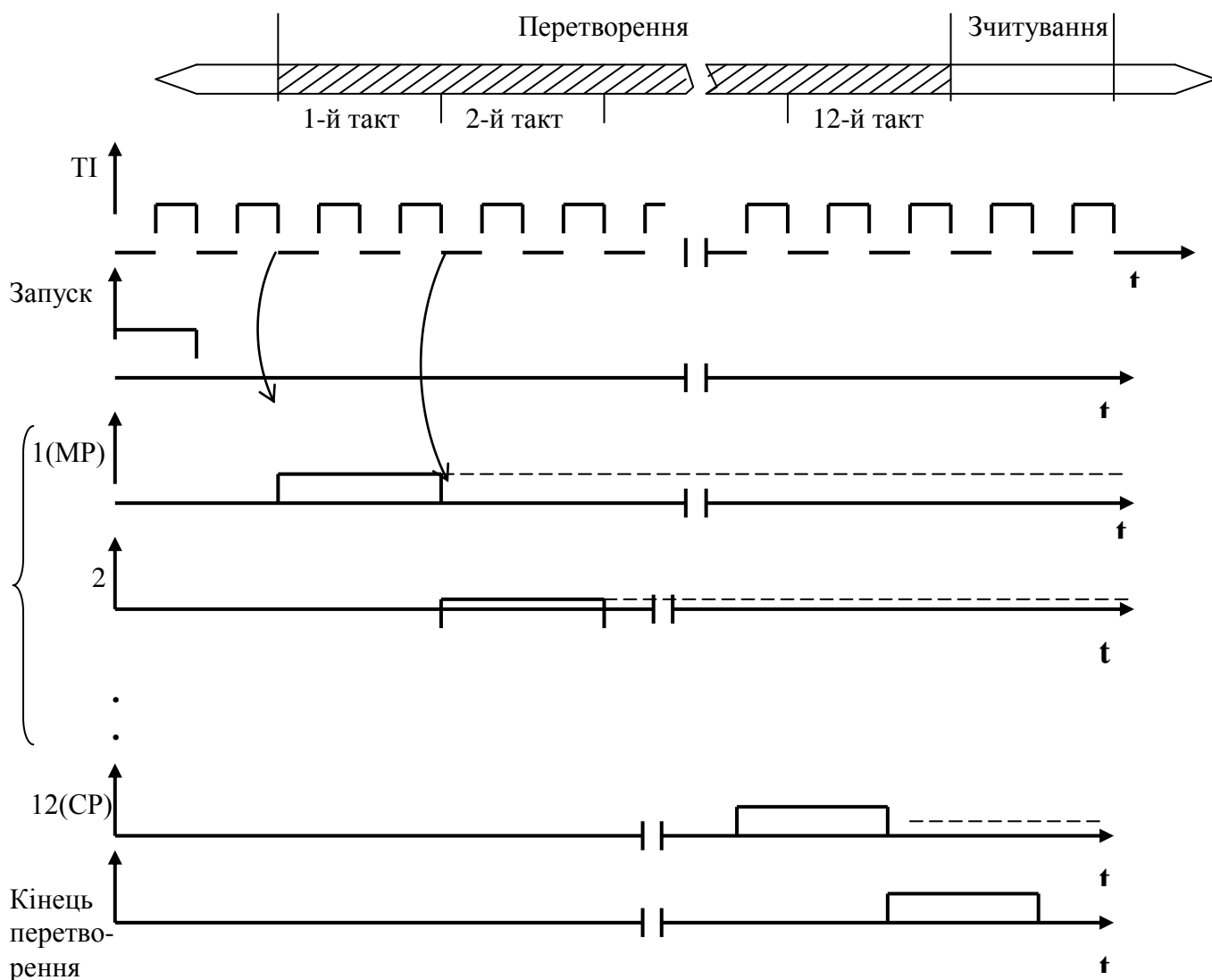


Схема 4. Часова діаграма роботи ВІС К572ПВ1 в режимі АЦП.

В циклічному режимі роботи за періодом зчитування йде період повернення АЦП в початковий стан (скидання) по сигналу з виводу 22 (Цикл). Включення резисторів $R/2$ або $2R$ на вході компаратора А1 (див. Додаток 2) забезпечує зміну U_{IRN} від $0,5$ до $2 U_{REF}$ відповідно. Типовий час перетворення складає 110 мкс. Полярність діапазону вхідної напруги може бути любою і встановлюється вибором полярності U_{REF} .

Число розрядів перетворення може бути зменшено шляхом подачі на вхід 27 повторного сигналу “Запуск” по закінченню $(n+1)$ такту. З’єднання

выводів 22 і 28 переводить схему з синхронного режиму роботи в циклічний, при цьому на вхід 27 подається логічний 0.

Особливістю конструктивного-технологічного виконання ВІС АЦП К572ПВ1 дає можливість її сумісній роботі із серійними МП комплексами без застосування додаткових зовнішніх пристроїв.

Для спряження АЦП з МП доцільно використовувати програмований паралельний інтерфейс (ППІ) КР580ВВ55. У даній роботі використовується 1-й режим роботи ППІ.

На схемі 4 наведено фрагмент схеми підключення ВІС АЦП К572ПВ1 до шин МППІ через КР580ВВ55 в режимі вводу інформації через ПКП.

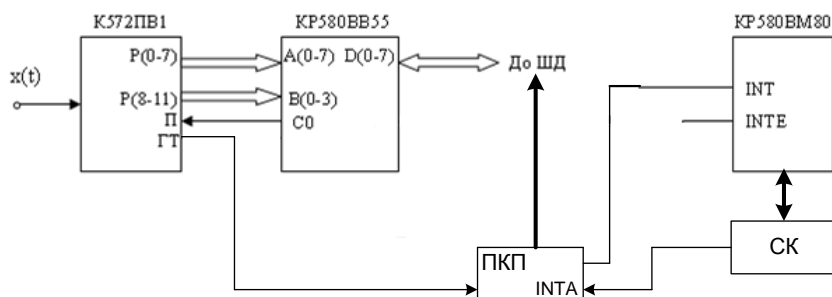


Схема 4. Фрагмент схеми підключення ВІС АЦП К572ПВ1 до шин МППІ.

На аналоговий вхід АЦП подається сигнал $x(t)$. Цифрові виходи Р(0-7) АЦП (молодші 8 біт) підключені до каналу А ППІ, а цифрові виходи Р(8-11) АЦП (старші 4 біти) – до молодшої тетради каналу В ППІ.

Вивід АЦП П (пуск) підключений до розряду 0 порта С. Цей сигнал кожен раз буде формуватись програмно.

Обмін між ППІ і МП здійснюється через виводи D(0-7), які підключені до шини даних. Канал А та В ППІ запрограмовані на ввід, розряди каналу С використовуються для керування обміном.

Запуск АЦП (сигнал П), здійснюється через паралельний інтерфейс КР580ВВ55 (розряд 0 каналу С). При поступленні на АЦП $x(t)$ і при закінченні перетворення він виробляє сигнал готовності ГТ, який

підключений до ПКП. Який в свою чергу подає сигнал INT на МП, і дочекавшись сигналу INTA від СК подає на шину даних код команди CALL і доставши іще два сигнали INTA подає на шину даних два байти адреси підпрограми обробника переривання. По такому ж алгоритму і буде підключена ВІС до нашого Програмованого Контролера Переривань.

3.2 Вибір типу ЦАП

Вибір типу ЦАП здійснювався з урахуванням наступних вимог:

Кількість розрядів ЦАП співпадає із АЦП і відповідає умовам індивідуального завдання;

Цифрові входи мають логічні рівні ТТЛ - логіки, тобто допускають пряме підключення до каналів вводу-виводу;

Відповідність полярності вихідного сигналу до завдання і схем вибору ЦАП.

Проаналізувавши такі мікросхеми ЦАП, як К572ПА2 (КР572ПА2), К594ПА1, К1108ПА1, я зупинився на виборі мікросхеми К594ПА1.

Мікросхема типу К594ПА1 являє собою паралельний ЦАП з сумуванням струмів, комбінованою матрицею (зважених і R-2R резисторів), використовується для перетворення двійкового 12 розрядного коду в струм та працює зі стандартними рівнями сигналів від ТТЛ та КМОН ЦІС. Конструктивно ЦАП створений на двох кристалах, які знаходяться в металокерамічному корпусі. Мікросхема створена по біполярній планарно-епітаксіальній технології з p-n-p та n-p-n транзисторами.

Основні електричні параметри при температурі навколишнього середовища 25 ± 10 °С:

Не менше Не більше

Число розрядів12

Диференціальна нелінійність $\delta(\%)$-0,012 0,012

Діапазон вихідних струмів I_{out} (мА):

Уніполярний	1,8	2,2
Біполярний.....	0,9	1,1
Струм витоку (утечкі) на виході (мкА).....	0,7	
Вхідна напруга низького рівня (В), про роботі з :		
ТТЛ.....	0,8	
КМОН.....		0,3
Вхідна напруга високого рівня (В), про роботі з :		
ТТЛ.....		2,0
КМОН.....		0,7U _{сс1}
Струм живлення I _{сс1} (мА).....		25
Струм живлення I _{сс2} (мА).....		35
Вихідний струм I _о (мА).....		2,2
Час встановлення вихідного струму (при зміні коду від 00...00 до 11...11) (мкс)		
		3,5
Гранично допустимі значення електричних режимів експлуатації:		
Не менше Не більше		
Напруга джерела живлення U _{сс1} (В).....		6,0
Напруга джерела живлення U _{сс2} (В).....		-18
Напруга опорного джерела U _{ref} (В).....		9,0 11,0
Вхідна напруга високого рівня (В).....		2,0 6,0
Вхідна напруга низького рівня (В).....		0 1,0

Типові залежності електричних параметрів ЦАП від зміни напруги джерел живлення та температури навколишнього середовища:

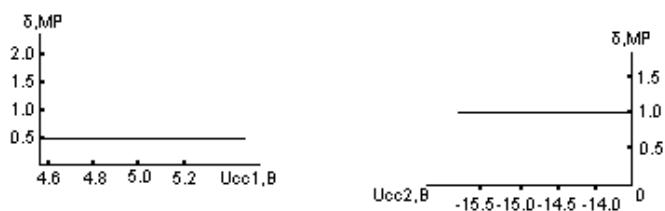
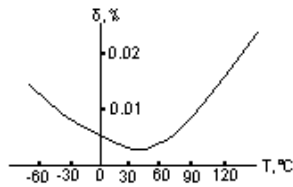
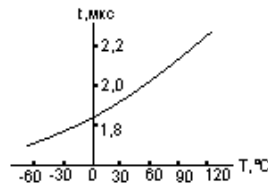


Схема 6. Типові залежності нелінійності та диференціальної не лінійності ІС ЦАП К594ПА1 від напруг джерел живлення



а)



б)

Схема 7. Типові залежності не лінійності (а) і часу встановлення (б) ІС ЦАП К594ПА1 від температури навколишнього середовища

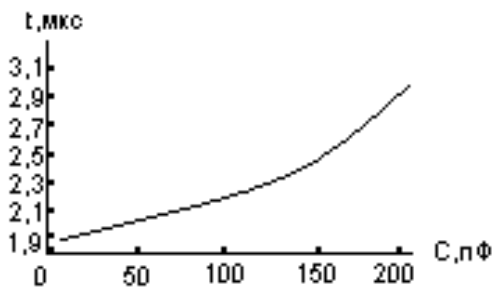


Схема 8. Типова залежність часу встановлення ЦАП К594ПА1 від ємності навантаження С

Мікросхема К594ПА1 експлуатується без додаткового тепло відводу. При температурі навколишнього середовища 85 С та більше поверхню ІС необхідно охолоджувати повітрям зі швидкістю 3 м/с. Забороняється подавати які-небудь електричні сигнали на поверхню кришки корпусу і незадіяні виводи ІС. Резистор 10 кОм (виводи 1,2) забезпечує режим роботи з біполярним струмом в діапазонах напруги $\pm 2,5$; ± 5 ; ± 10 В.

Номінальні значення ємності навантаження ІС 10 пФ. Загальна ємність навантаження може перевищувати номінальне значення, але при цьому норми на часові параметри ЦАП не гарантуються.

В режимі роботи ЦАП з струмовим виходом допускається підключення джерела опорного навантаження до виводу 22 ІС . При цьому величина вихідного струму перетворювача буде залежати від стабільності підключеного резистору.

Таблиця 2. Нумерація та призначення виводів ІС ЦАП К594ПА1

Вивід	Призначення
1	–вхід зсуву вихідного рівня;
2	–вихід зсуву вихідного рівня;
3	–вихід;
4	–зворотній зв'язок $U_{om}=10В$;
5	–зворотній зв'язок $U_{om}=20В$;
6	–загальний;
7	–цифровий вхід 12 (MP);
8-17	–цифрові входи 11-2;
18	–цифровий вхід 1 (CP);
19	–напруга джерела живлення U_{cc1} ;
20	–керування логічним порогом;
21	–інвертуючий вхід ОП;
22	–неінвертуючий вхід ОП;
23	–вхід джерела опорної напруги U_{ref} ;
24	–напруга джерела живлення U_{cc2} ;

Мікросхема К594ПА1 забезпечує норми на електричні параметри, при номінальному значенні $U_{ref}=10,24В$ з допустимими відхиленнями $\pm 3\%$ і стабільності підтримки напруги $0,005\%$. Амплітудні значення пульсацій джерела опорної напруги можуть досягати 150 мкВ , але значення напруг перехідних і паразитних сигналів не повинні перевищувати 200 мкВ при тривалій дії не більше $0,3 \text{ мкс}$.

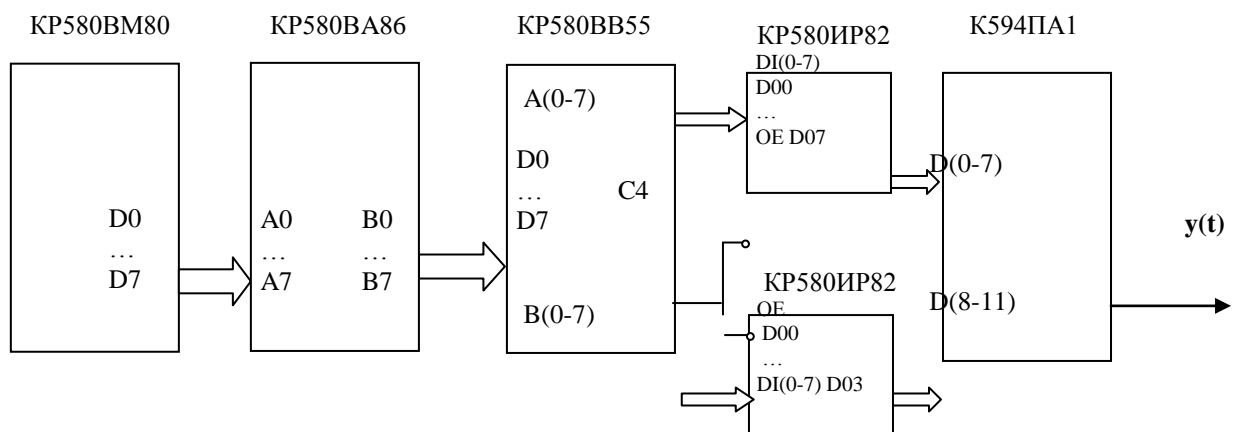


Схема 9. Структурна схема підключення МП і ЦАП

3.3 Структура представлення даних

Структура даних, які входять в рівняння цифрового фільтра, визначаються коефіцієнтами рівняння і заданою розрядністю АЦП. Оскільки відповідно до завдання АЦП є 12-ти розрядним, а вхідний сигнал є двополярним, то результат перетворення АЦП в залежності від вхідного сигналу подамо у вигляді таблиці 3.

Таблиця 3.

Вхід АЦП	Код
$+U_{x_{\max}}$	4095
0	2048
$-U_{x_{\max}}$	0

Для двополярної вхідної напруги U_{x_n} матимемо залежність з вихідним кодом АЦП x_n :

$$U_{x_n} = U_{x_{\max}}(x_n/2^{11} - 1) \quad (3.1)$$

Результат перетворення 12-ти розрядного блоку ЦАП в залежності від цифрового коду u_n вихідної напруги U_{u_n} подано у вигляді таблиці 4.

Таблиця 4

Код	Вихід ЦАП
4095	$+U_{u_{\max}}$
2048	0
0	$-U_{u_{\max}}$

Підставимо (3.1) в рівняння цифрового фільтру $y_n = a_0 x_n + a_1 x_{n-1} + b_1 y_{n-1}$. В результаті отримаємо:

$$Uy_{\max} \left(\frac{y_n}{2^{11}} - 1 \right) = a_0 Ux_{\max} \left(\frac{x_n}{2^{11}} - 1 \right) + a_1 Ux_{\max} \left(\frac{x_n}{2^{11}} - 1 \right) + b_1 Uy_{\max} \left(\frac{y_n}{2^{11}} - 1 \right)$$

$$y_n = a_0 \frac{Ux_{\max}}{Uy_{\max}} x_n + a_1 \frac{Ux_{\max}}{Uy_{\max}} x_{n-1} + b_1 y_{n-1} + 2^{11} \left(1 + \frac{Ux_{\max}}{Uy_{\max}} (a_0 + a_1) \right);$$

Коефіцієнти цифрового фільтру при x_n , x_{n-1} залежать від співвідношень напруг $\frac{Ux_{\max}}{Uy_{\max}}$ на вході АЦП і виході ЦАП даного МПП. Тому необхідно вибрати перетворювачі з електричними параметрами $\frac{Ux_{\max}}{Uy_{\max}} = 1$.

Для рівняння цифрового фільтру $y_n = a_0 x_n + a_1 x_{n-1} + b_1 y_{n-1}$, коефіцієнти a_0 , a_1 , b_1 представляються однобайтовими числами. В нашому випадку:

$$0 < a_0 < 1; \quad -1 < a_1 < 0; \quad -1 < b_1 < 0.$$

Як видно всі параметри за модулем менші від 1, а параметр a_1 та b_1 є від'ємним. Запишемо параметри як числа з фіксованою комою. В такому випадку їх можна представити одним байтом, де всі 8 розрядів будуть визначати дробову частину числа (ціла частина рівна 0). Максимальне дробове число (по модулю), яке може розміститись у восьми розрядах – $(11111111)_2 = (2^{-1} + 2^{-2} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8})_{10} = 0,99609375$; мінімальне – $(00000000)_2 = 0$. Коефіцієнти a_0 будемо вважати додатніми, а для коефіцієнта a_1 та b_1 замість операції додавання будемо виконувати операцію віднімання.

Для максимальних кодових комбінацій x_n , x_{n-1} , y_{n-1} однакової розрядності:

$$y_{n(\max)} = a_0 x_{n(\max)} + a_1 x_{n-1(\max)} + b_1 y_{n-1(\max)}$$

тобто $y_{n(\max)} = 4095 = 8190$ (12 розрядів), при $a_0=1$, $a_1=b_1=0$; $y_{n(\min)} = -8190$, при $a_0=0$, $a_1=b_1=-1$;

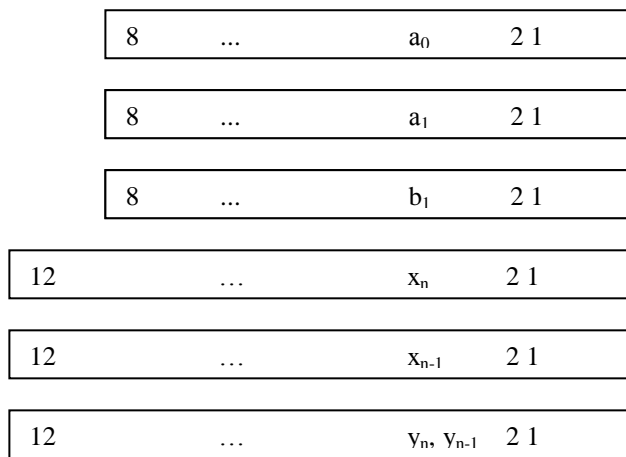


Схема 10. Структура представлення даних

У пам'яті всі дані розташовані з певної комірки в такій послідовності, як показано на рис.3.1. Під коефіцієнти a_0 , a_1 , b_1 відводиться по одному байту, під змінні x_n , x_{n-1} , y_n , y_{n-1} – по два байти. У разі перевищення результату обчислень значення 4095 на ЦАП виводиться максимальне значення, тобто 0FFFh, у разі від'ємного результату – мінімальне значення (0000h).

Одержана структура визначає формати виконання арифметичних операцій обчислення вихідного значення цифрового фільтра.

У таблиці 5 наведено елементи, які використовуються в структурній схемі МПП, їх опис, та мікросхеми, що їм відповідають.

Таблиця 5. Опис та мікросхеми елементів структурної схеми МПП

Позначення	Опис	Мікросхема
МП	Мікропроцесор	КР580ВМ80
ГТІ	Генератор тактових імпульсів	КР580ГФ24
ШФ	Шинний формувач	КР580ВА86
БР	Буферний регістр	КР580ІР82
ПЗП	Постійно-запам'ятовуючий пристрій	К573РФ21
ОЗП	Оперативно-запам'ятовуючий пристрій	КР537РУ8А
ППІ	Програмований паралельний інтерфейс	КР580ВВ55
АЦП	Аналогово-цифровий перетворювач	К512ПВ1
ЦАП	Цифро-аналоговий перетворювач	К594ПА1
ПКП	Програмований контролер переривань	КР580ВН59
Таймер	Програмований таймер	КР580ВІ53

Наведемо коротко призначення кожного з елементів структурної схеми МПП.

МП. Головна частина МПП. Виконує функції зчитування інформації із зовнішніх пристроїв чи пам'яті і виконання над нею арифметичних чи логічних операцій; аналізу результатів обчислення; запису даних у пам'ять чи зовнішні пристрої;

ГТІ. Використовується для вироблення тактуючих синхросерій F1, F2 для мікропроцесора; сигналу початкової установки RESET; сигналу готовності READY; сигналу стробу стану STB, який поступає на системний контролер і служить для фіксації слова стану мікропроцесора;

СК. Призначений для фіксації слова стану мікропроцесора, сигналів керування зовнішньою пам'яттю та пристроями вводу-виводу, буферизації шини даних;

ПЗП. Використовується для зберігання та зчитування інформації. Відмінність від ОЗП полягає у тому, що в ПЗП інформація записується один раз і режимі експлуатації використовується лише при зчитуванні;

ОЗП. Призначений для зберігання, зчитування та запису інформації. В режимі експлуатації інформацію можна як зчитувати, так і записувати;

ППП. Використовується для організації вводу-виводу паралельної інформації різних форматів і дозволяє здійснювати обмін в більшості відомих протоколах паралельної передачі даних;

АЦП. Призначений для перетворення аналогового сигналу у цифровий код відповідної розрядності;

АЦП. Призначений для перетворення цифрової комбінації певної розрядності у аналоговий сигнал;

ПКП призначений для контролю за перериваннями, та при поступленні запиту на переривання подачу адреси підпрограми обробки переривання.

ША, ШД, ШД. Використовуються для інформаційного обміну між елементами МПП;

ВШД, ВШК. Використовуються для інформаційного обміну в самому МП;

ДШП, ДШВ/В,ДАК. Використовуються для вибору відповідних мікросхем пам'яті та зовнішніх пристроїв.

Таймер. Використовується як подільник частоти для ТІ АЦП.

4.2 Розподіл адресного простору

В адресний простір МП КР580ВМ80 входить 64К адрес пам'яті (2^{16}), що визначається 16-ти розрядною адресною шиною. МП КР580ВМ80 може здійснювати синхронний і асинхронний обмін інформацією за даними адресами з пам'яттю (ПЗП, ОЗП) та зовнішніми пристроями. При обробці інформації МП зчитує коди команд, операнди і записує одержаний вміст в РЗК або виконує обмін інформації з пам'яттю та зовнішніми пристроями.

Можливі два підходи до організації звертання до пристроїв обміну інформації. Перший підхід використовує звертання до зовнішніх пристроїв, як до комірок пам'яті. До переваг даного підходу можна віднести можливість

використання різноманітних команд пересилання даних. Інший підхід використовує роздільне керування пам'яттю і зовнішніми пристроями. Лиш тільки дві команди IN і OUT, в цьому випадку, призначені для обміну інформації з зовнішніми пристроями. Так, як для цих команд адрес для зовнішнього пристрою 8-ми розрядний, то МП КР580ВМ80 може звертатись до 256 пристроїв вводу і 256 пристроїв виводу. При цьому адресний простір пам'яті буде максимальним.

Організація адресного простору пам'яті наступна:

Таблиця 6.

Вид пам'яті	Мінімальна. комірка пам'яті	Максимальна. Комірка пам'яті	Об'єм
ПЗП	0000h	03FFh	1 Кб
ОЗП	0400h	FFFFh	63 Кб

Розподіл адресного простору для зовнішніх пристроїв:

1.Для програмованого контролера переривань.

Таблиця 7.

контролер	Адреси
A0 = 0	00h
A0 = 1	01h

2.Для програмованих паралельних інтерфейсів

Таблиця 8.

Порти	ППП1 (до АЦП)	ППП2 (до ЦАП)
А	04h	0Ch
В	05h	0Dh
С	06h	0Eh
РКС	07h	0Fh

3. Для програмованого таймера

Таблиця 9.

Лічильники	Адреси
0	08h
1	09h
2	0Ah
PKC	0Bh

У схемі 12 приведені адреси, що відводяться для програм, підпрограм, даних.

0000h перехід на головну програму (jmp 0040h)
0040h-0060h головна програма
0061h-0085h підпрограма ініціалізації
0086h-0099h програма обробки переривання
009Ah-00B0h підпрограма множення
00B1h-00Bbh підпрограма виводу інформації
0100h-015Fh підпрограма обробки інформації
00E4h перехід на програму обробки переривання (jmp 0086h)
03FFh
ПЗП
400h a_0
401h a_1
402h a_2
403h-404h x_n
405h-0406h x_{n-1}
407h-0408h x_{n-2}
409h-40Ah y_n
40Bh ind – допоміжна змінна
FFFFh SP
ОЗП

Схема 12. Розподіл простору адрес в МПП обробки аналогово сигналу

4.3 Алгоритм функціонування МПП

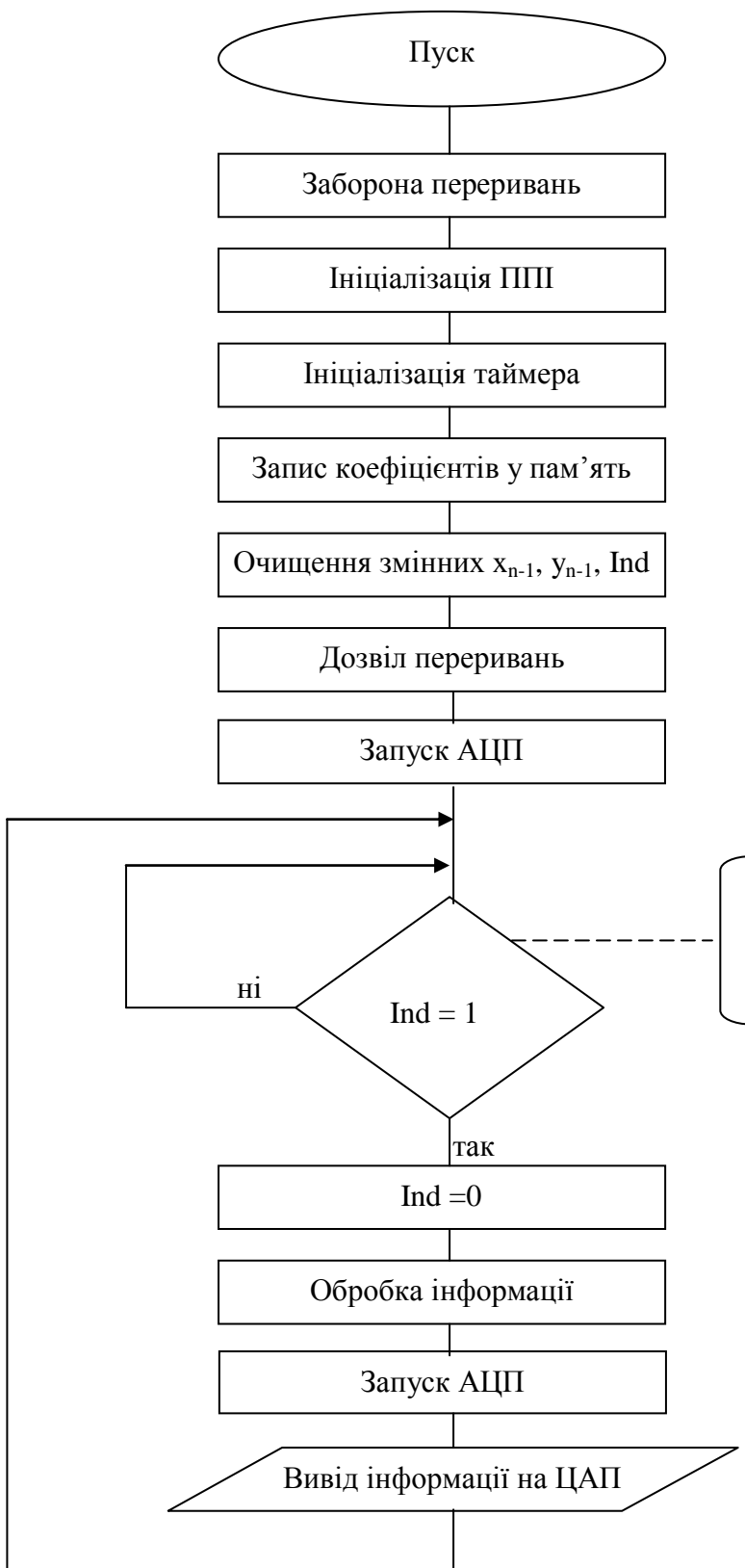


Схема 13. Алгоритм функціонування МПП

На цьому етапі відбудеться переривання , обробник якого встановить змінну Ind в 1

При одночасному включенні живлення $-5V$, $+5V$, $12V$ і поступленні тактових імпульсів на мікропроцесор, всі регістри і прапорці МП встановлюються в довільні стани. Після цього подається з ГТІ на вхід RESET МП сигнал високого рівня тривалістю не менше 3 тактів. Лічильник команд (PC) , тригер дозволу переривання (вихід INTE), а також тригер підтвердження захоплення (вихід HLDA) скидаються, і мікропроцесор починає вибірку з пам'яті команд, розміщених з нульової адреси.

Алгоритм головної програми включає наступні пункти.

Ініціалізація зовнішніх пристроїв, запис коефіцієнтів a_0 , a_1 , a_2 і початкове обнулення змінних. ППІ, до якого підключений АЦП програмується на режим роботи 0, порт А і порт В – на ввід. ППІ, до якого підключений ЦАП також програмується на 0-й режим роботи, однак порти А і В працюють на вивід. У програмованому таймері лічильник 0 ініціюється як двійковий, на 2-й режим роботи (подільник частоти) і в цей лічильник записується значення 8 (частота сигналу $F_{2(TTL)}$ ділиться на 8). Обнулення змінних (x_{n-1} , x_{n-2} ,) виконується у зв'язку з тим, що вони використовуються як множники у рівнянні цифрового фільтру, однак при першому звертання до цього рівняння ще не сформовані (отже повинні бути нульовими).

Подання на АЦП сигналу “Запуск”. Затримка, пов'язана із перевіркою змінної Ind на рівність 1, використовується у зв'язку з тим, що подавши на АЦП сигнал “Запуск” останній не одразу виробить двійковий код вхідного аналогово сигналу (для ВІС АЦП К512ПВ1 $t_{пер}=110\text{мкс.}$), тобто мікропроцесору потрібно почекати доки АЦП не видасть сигналу “готовність”, тим самим викликавши переривання . Обробник цього переривання прочитає дані з АЦП, запише їх в пам'ять і встановить зміну Ind в 1, що після повернення до головної програми призведе до виходу із циклу очікування і виконання наступних дій. Обробка отриманої інформації і вивід її на ЦАП. Обробка включає перемноження і сумування елементів у

відповідності до рівняння цифрового фільтру, тобто знаходження кінцевої вихідної величини u_n , яка і виводиться на ЦАП. Після цього здійснюється перехід до пункту 2.

Для збільшення фінітної частоти вхідного сигналу запуск АЦП проводиться перед підпрограмою виводу (а не безпосередньо перед циклом очікування), тобто в розрахований час МП АЦП працюють паралельно.

Функціонування МПП припиняється після вимкнення живлення.

Блок-схема програми обробки переривання приведена на схемі 14. Під час виконання команд обробника всі переривання заборонено. Після збереження в стеку регістрів, які будуть використовуватись, скидається сигнал “Запуск” АЦП, і відбувається читання портів ППІ. Прочитана інформація записується в пам’ять. Наступними діями є встановлення в 1 змінної Ind, відновлення зі стеку регістрів, дозвіл переривань і повернення до перерваної програми.

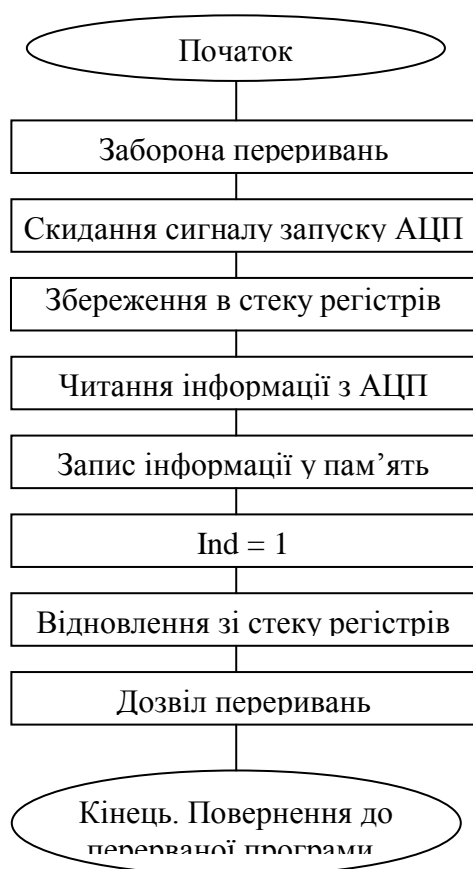


Схема 13. Алгоритм програми обробки переривання за адресою 00E4h(IR1)

Виконавши команду, мікропроцесор збереже у стеку адресу (тобто поточне значення лічильника команд PC) перерваної програми і почне вибирати з пам'яті команди, які розташовані за адресою 00E4h. Перша команда – це безумовний перехід на програму обробки переривання. Таким чином реалізовується механізм обміну даних з АЦП через переривання.

Отже нам задано адресу 00E4h, це значить, що старший байт це ICW2 = 00h, а молодший байт формується на основі ICW1. Отже E4h = 11100100b, а це означає що спосіб формування молодшого байта буде першим, тобто другий біт ICW1 ,буде 1. Так як ПКП один, то третій біт ICW1 буде 1. Так як молодший байт адреси підпрограми обробника переривання формується першим способом то його структура буде така: XXXYYY00, де XXX – задається старші три біта молодшого байта адреси (у нашому випадку – 111), а YYY – номер порта на який поступив запит (у нашому випадку 001b=1)

Тобто сигнал готовності АЦП має бути підключений до IR1, а ICW1 = F6h (порожні біти ICW1 взяли за 0). Також в цій курсовій я використав маскування входів ПКП, використавши OCW1 = F7, але це не суттєво

Вивід обробленої інформації здійснюється в три етапи. На першому етапі в порт А ППІ записуються молодші 8 біт результату. Із буфера порта А ці дані одразу ж переписуються в перший з буферних регістрів. На другому етапі старші 4 біти результату (інші 4 біти рівні нулеві) записуються в порт В і відповідно у другий буферний регістр. На третьому етапі одночасною подачею сигналу низького рівня на входи “дозвіл видачі”

(EO) обох буферних регістрів, здійснюється подача 12-ти розрядного коду на входи ЦАП. Цей сигнал подається програмно, встановленням в 0 четвертого біта (не зарезервованого) порта С.

5. Загальна структура програми роботи МПП

Структура програмного забезпечення для МПП включає в себе:

головну програму, з якої викликаються підпрограми: ініціалізації, обробки інформації, виводу інформації на ЦАП. В свою чергу підпрограма обробки інформації звертається до підпрограми множення.

програму обробки переривання.

; Головна програма

MAIN: LXI H,FFFFh ; встановлення вказівника стеку на кінець ОЗП,

SPHL ; оскільки в програмі використовується стек

CALL INIT ; виклик підпрограми ініціалізації

MVI A,01H ; подача логічної одиниці в тригер 0-го біта порта С

OUT 07H ; тобто подача сигналу “Запуск” для АЦП

WAIT: EI ; дозвіл переривань

DI ; перевірка не повинна перериватися

LDA 40BH ; Цикл очікування готовності АЦП,

CPI 1; перевірка змінної в пам’яті (“індикатора”) на рівність два.

JNZ WAIT; (чи відбулось переривання?), якщо ні, то продовжити цикл

DI ; програма не повинна перериватися

XRA A ; обнулити “індикатор”,

STA 40BH

CALL DEALW ; Викликати підпрограму обробки інформації

CALL CAP ; Вивести результат на ЦАП

JMP WAIT ; перехід на наступний робочий цикл

; Підпрограма ініціалізації

INIT: DI ; Ініціалізація не повинна перериватися

MVI A,92H; Програмування ППІ1: 0-й режим, порт А,В – ввід,С – вивід.

OUT 07H ; Адреса РКС для ППІ1

MVI A,80H; Програмування ППІ2: 0-й режим, порт А,В,С – вивід.

OUT 0FH ; Адреса РКС для ППІ2
MVI A,14H; Програмування таймера: лічильник – 0, спосіб запису -
OUT 0BH ; молодший байт, режим – 2, лічильник – двійковий.
MVI A,8 ; Запис в лічильник коефіцієнту ділення частоти – 8
OUT 08H ; Адреса РКС таймера
MVI A,F7H; Програмування програмованого контролера переривань
ICW1.

OUT PICUL; молодший байт, адреси підпрограми обробки переривань.
MVI A,00H ; задання ICW2
OUT PICUH; старший байт, адреси підпрограми обробки переривань.
MVI A,FDH; задання OCW1, тобто задання обслуговуваних входів PIC.
OUT PICUH ; запис OCW1 в PIC.

MVI A,0h ; запис в пам'ять „0”

STA 40BH ; для індикації

LXI H,400H ; Встановлення адреси на початок ОЗП

MOV M,a₀ ; Запис в пам'ять коефіцієнту a₀

INX H ; Перехід на наступну комірку пам'яті

MOV M,a₁ ; Запис в пам'ять коефіцієнту a₁

INX H ; Перехід на наступну комірку пам'яті

MOV M,a₂ ; Запис в пам'ять коефіцієнту a₂

LXI H,0000H ; Встановлення „0” для x.

SHLD H,405H ; Встановлення „0” для x_{n-1}.

SHLD H,407H ; Встановлення „0” для x_{n-2}.

EI ; дозвіл переривань

RET ; повернення в головну програму

5.1 Опис програми вводу, виводу

Вводом даних займається програма обробки переривання, в задачу якої входить прочитати дані з АЦП, тобто з портів А і В ППІ1, і записати їх в оперативну пам'ять.

; Обробник переривання

IR1: DI ; Інші переривання заборонені

PUSH PSW; Збереження в стеку регістра прапорців і акумулятора

IN 04H; Читання молодших 8 інформаційних розрядів із порта

A STA 403H ; їх запис в оперативну пам'ять.

IN 05H; Читання старших 4-ох інформаційних розрядів із порта В

STA 404H ; їх запис в оперативну пам'ять.

MVI A,1 ; Інкрементування "індикатора" на 1, тобто вказівка головній

STA 40BH ; програмі, що переривання відбулося.

POP PSW; відновлення зі стеку регістра прапорців і акумулятора

EI ; дозвіл переривань

RET ; повернення в перервану програму

Підпрограма виводу обробленої інформації на ЦАП викликається в кінці робочого циклу головної програми, і в її задачу входить по чергово записати у буферні регістри інформаційні розряди результату, для того, щоб потім одночасно подати їх на ЦАП. Запис у буферні регістри здійснюється через програмований паралельний інтерфейс (ППІ2).

; Підпрограма виводу інформації на ЦАП

CAP: LDA 408H ; Завантаження з пам'яті 8 молодших розрядів результату

OUT 0CH; Їх вивід в порт А ППІ2 (запис в 1-й буферний регістр)

LDA 409H ; Завантаження з пам'яті 4 старших розрядів результату

OUT 0DH; Їх вивід в порт В ППІ2 (запис в 2-й буферний регістр)

MVI A,08H; Дозвіл виводу інформації із буферних регістрів на ЦАП

OUT 0FH ; (встановлення 4-го біту порта С ППІ2 в 0)

MVI A,09H; Заборона виводу інформації із буферних регістрів на ЦАП
OUT 0FH ; (встановлення 4-го біту порта С ППІ2 в 1)
RET ; Повернення в головну програму

5.2 Опис програми обробки інформації

Підпрограмам цифрової обробки інформації здійснює обчислення за одержаним рівнянням цифрового фільтру, тобто необхідно провести обчислення значення u_n за відомими значеннями x_n , x_{n-1} , u_{n-1} , та постійними коефіцієнтами.

; Підпрограма обробки інформації.

INFW: LHLD 403H ; Завантаження з пам'яті в регістри HL значення x_n
MOV B,H; Перепис даних із HL в BC (специфіка підпрограми DMULT)
MOV C,L
LDA 400H ; Завантаження в акумулятор коефіцієнту a_0
CALL DMULT ; Множення x_n з a_0 . Результат в HL
PUSH ; Збереження результату в стеку.
LHLD 405H ; Завантаження з пам'яті в регістри HL значення x_{n-1}
MOV B,H ; Перепис даних із HL в BC
MOV C,L
LDA 401H ; Завантаження в акумулятор коефіцієнту a_1
CALL DMULT ; Множення x_{n-1} з a_1 . Результат в HL
XCHG; Виконання операції $HL=HL-DE$, тобто $(x_n * a_0) - (x_{n-1} * a_1)$
MOV A,D
CMA
MOV D,A
MOV A,E
CMA
MOV E,A
INX D

POP H
 DAD D
 XCHG
 LHLD 407H ; Завантаження з пам'яті в регістри HL значення x_{n-2}
 MOV B,H ; Перепис даних із HL в BC
 MOV C,L
 LDA 402H ; Завантаження в акумулятор коефіцієнту a_2
 CALL DMULT ; Множення x_{n-2} з a_2 . Результат в HL
 DAD D ; $HL=HL+DE$, тобто $(x_n * a_0) - (x_{n-1} * a_1) + (x_{n-2} * a_2)$
 MVI A,H
 ANI 80H
 JZ OVERF ; Перевірка: якщо результат від'ємний
 LXI H,0; то присвоюємо йому нижню межу виводу на ЦАП (тобто 0)
 JMP EXT
 OVERF: MOV A,H
 ANI 10H
 JZ EXT ; якщо результат більший за 12 розрядів,
 MOV A,H
 ANI 20H
 JZ EXT ; якщо результат більший за 12 розрядів,
 MOV A,H
 ANI 40H
 JZ EXT ; якщо результат більший за 12 розрядів,
 LXI H,0FFFH; то присвоюємо йому верхню межу виводу на ЦАП (4095)
 EXT: SHLD 409H ; Запис результату в пам'ять
 LHLD 405H ; Переписати значення x_{n-1} на місце x_{n-2}
 SHLD 407H
 LHLD 403H ; Переписати значення x_n на місце x_{n-1}
 SHLD 405H

RET ; Повернення в головну програму

; Підпрограма множення (спеціалізована). Вхід: BC-множене, A-множник. Вихід: HL- результат

DMULT: PUSH D ; Збереження в стеку регістрів DE

LXI H,0

MVI E,8

Z1: DAD H

RAL

JNC Z2

DAD B

Z2: ACI 0

DCR E

JNZ Z1

MOV L,H; Зсув результату на 8 розрядів вправо (Це пов'язано із

MOV H,A ; специфікою формату представлення даних).

POP D ; Відновлення зі стеку регістрів DE

RET ; Повернення в підпрограму обробки інформації

5.3 Оцінка верхньої фінітної частоти вхідного аналогово сигналу

Для визначення верхньої фінітної частоти, тобто значення максимальної частоти, що може міститися в аналоговому вхідному сигналі, необхідно порахувати максимальну кількість тактів при виконанні обміну і обробки інформації.

Таблиця 9. Кількість тактів, що виконуються основним циклом програми

Частина програми	Кількість тактів	Число виконань за основний цикл	Кількість тактів
Основна	152	1	152
Підпрограма ініціалізації	245	1	245
Підпрограма обробки	460	1	460

Підпрограма множення	506	3	1518
Підпрограма виводу	90	1	90
Програма обробки переривання (вводу даних)	105	1	105
		Разом	2570

Кількість тактів в циклі очікування головної програми розраховується у відповідності з $t_{\text{пер}}$ АЦП.

Отже загальна кількість тактів основного циклу програми: $N = 2570$.

На основі теореми про вибірки (дискретизації) визначимо фінітну частоту роботи МПП. Дана теорема в ряді випадків називається теоремою Котельникова, Шеннона або Уїттекера – на честь вчених, що її сформували і довели незалежно один від одного. Теорема стверджує можливість представлення аналогово сигналу дискретним рядом, отриманим з АЦП, у випадку виконання умови:

$$f_{\Delta t} \geq 2 f_{\text{max}}$$

де $f_{\Delta t}$ – частота дискретизації; f_{max} – фінітна частота вхідного аналогово сигналу.

При тактовій частоті роботи МП КР580ВМ80 рівній 2,5 МГц отримаємо тривалість виконання основного циклу програми:

$$T_{\text{обр}} = \frac{N}{2,5 \text{ МГц}} = \frac{2570}{2,5 * 10^6} = 1028 * 10^{-6} (\text{с}) \approx 1 \text{ (мс)}$$

що відповідає частоті обміну і обробки інформації в МПП, яка рівна:

$$f_{\Delta t} = \frac{1}{T_{\text{обр}}}$$

За теоремою про вибірки фінітна частота вхідного аналогово сигналу має бути вдвічі менша $f_{\Delta t}$, тобто

$$f_{\max} = \frac{f_{\Delta t}}{2} = \frac{1}{2T_{\text{обр}}} = \frac{1}{2 * 916,4 * 10^{-6}} \approx 486,38 \text{ (Гц)}$$

Отже, МПП ефективно з великою достовірністю проводить перетворення за функціональною залежністю аналогових сигналів з верхньою обмежувальною частотою 486,38Гц.

6. Опис функціонального вузла

Системний контролер КР580ВК28 призначений для фіксації слова стану процесора КР580МВ80А, формування сигналів які керують пам'яттю і зовнішніми пристроями і буферизації шини даних.

Таблиця 10. Технічні характеристики

Технологія	ТТЛШ
Число активних елементів у кристалі	1141
Тип корпусу	2121.28-4
Напруга живлення,В	+5
Струм споживання,А	190
Ємність вхідна,Пф	12
Ємність вихідна,Пф	15
Маса, г	5

На схемі 15 зображено корпус системного контролера, а на умовне графічне зображення схеми електричної принципової . Функціональне призначення виводів контролера приведено в таблиці.

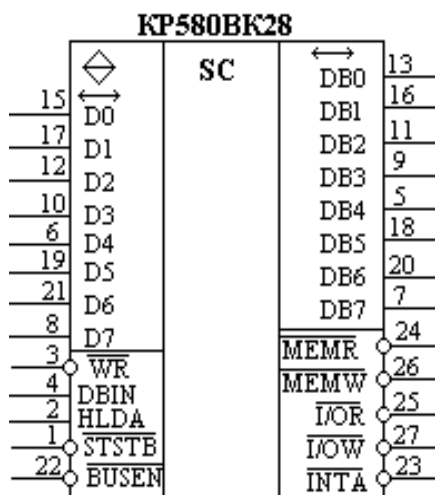


Схема 15.Схематичне зображення корпусуКР580ВК28.

До складу системного контролера входять: реєстр стану ; декодуєча схема шинний формувач. В кінці першого такту кожного машинного циклу

генератор КР580ГФ24 видає на вхід STSTB системного контролера строб відємної полярності. По цьому імпульсу виконується фіксація слова стану мікропроцесора в регістрі стану системного контролера, які потім дешифруються з допомогою декодувальної схеми, і на відповідному керуючому виході (MEMR, MEMW, I/OR, I/OW) появляється сигнал, призначений для керування пам'яттю або зовнішніми пристроями . Вхід BUSEN використовується для керування виходами DB0-DB7, які приєднуються до системної шини. Якщо на цей вхід подати сигнал високого рівня, то виводи DB0-DB7 переходять у високоімпендансний стан, цим самим дозволяючи другим пристроям обмінюватись даними через шину даних.

Якщо до входу INTA підключити через опір 1кОм джерело живлення +12В, то системний контролер виставить на шину даних код команди RST7. Якщо у відповідь на підтверджуючий сигнал низького рівня системного контролера INTA зовнішні пристрої видадуть на системну шину перший байт команди CALL (1101101), то системний контролер видасть ще два сигнали INTA для того щоб прочитати останні два байти команди CALL. Схема підключення системного контролера до мікропроцесора КР580МВ80А зображена на схемі в додатку.

Таблиця 11. Функціональне ризначення.

15,17,12,10,6,19,21,8	D0-D7	Входи -виходи	Підключаються до одноіменних входів процесора
13,16,11,9,5,18,20,7	DB0-DB7	Входи –виходи	Підключаються до ША
1	STSTB	Вхід	Строб слова стану процесора
2	HLDA		Підтвердження захвату
3	WR		Строб вводу даних
4	DBIN		Строб ШД при вводі
27	I/OW	Вихід	Запис у зовнішній пристрій
26	MEMW		Запис у пам'ять
25	I/OR		Читання із зовнішнього пристрою
24	MEMR		Читання з пам'яті
23	INTA		Підтвердження переривання
22	BUSEN	Вхід	Сигнал керування системною шиною

Аналіз результатів та висновки

Отже в ході курсової роботи були розроблені компоненти технічного і програмного забезпечення мікропроцесорного пристрою на базі МП КР580ВМ80, який включає аналогово-цифровий і цифро-аналоговий перетворювачі і виконує функцію цифрової обробки аналогової інформації. Зробимо короткий аналіз результатів виконаних робіт.

Аналогово схема фільтру на пасивних елементах використовує меншу елементну базу ніж схема фільтру на операційних підсилювачах, тому її використання є більш доцільним;

Рівняння цифрового фільтру є досить простим і не викликає особливих труднощів при його програмній реалізації;

Вибір типів АЦП і ЦАП, а також структура представлення даних забезпечують високу точність обчислень;

Структурна схема МПП включає всі необхідні вузли для повноцінного функціонування. Використання програмованого таймера дає можливість як збільшувати, так і зменшувати частоту тактових імпульсів для АЦП;

Підключення АЦП і ЦАП до мікропроцесора відбувається через паралельний інтерфейс КР580ВВ55, що забезпечує простоту обміну і стабільність роботи;

Програми на мові асемблера мікропроцесора КР580ВМ80 для вводу інформації через АЦП і виводу через ЦАП, а також програми відповідної цифрової обробки є максимально оптимізованими, виконуючи при цьому всі покладені на них функції. Однак у зв'язку з тим, що доводиться обробляти 12-ти розрядку вхідну інформацію, кількість тактів, що виконуються основним циклом програми є досить великою. Велику частку тактів (66%) займає підпрограма множення, якої немає в системі команд даного мікропроцесора, і доводиться її писати самому;

Верхня фінітна частота роботи цифрового фільтру складає 546 Гц. Тому обробка сигналів із більшими частотами не дасть бажаного вихідного результату;

Реалізація системного контролера з використанням буферного регістру К589ИР12 не є доцільною. Краще використати готову мікросхему системного контролера КР580ВК28.

Досягти збільшення фінітної частоти роботи ЦФ можна використавши мікропроцесор із більшою тактовою частотою, а також використавши новіші і швидші ЦАП та АЦП. Можна йти також шляхом оптимізації коду програмного забезпечення. Це дозволяють зробити системи команд сучасних мікропроцесорів.

Характеризуючи цифрові фільтри загалом, можна виділити наступні їхні переваги над аналоговими:

- нечуттєвість характеристик фільтра до розкидування параметрів елементів, що у нього входять, їх часових та температурних дрейфів;

- малі розміри і висока надійність фільтрів, пов'язані з використанням ВІС;

- легкість зміни параметрів і характеристик цифрового фільтру через модифікацію програми і коефіцієнтів;

- можливість реалізації фільтрів із змінними в процесі роботи параметрами.

Список використаної літератури

1. Мікропроцесорна обробка аналогової інформації: Методичні вказівки до курсової роботи з дисципліни “Комп’ютерні і мікропроцесорні системи”. Панчак Р.Т., Процько І.О., Теслиук В.М.-Львів: НУ”Львівська політехніка”, 2003р.
2. Самофалов К.Г., Викторов О.В. Микропроцесоры. — Б-ка инженера. — 2-е изд., перераб. и доп. — К.: Техника, 1989. — 312 с.
3. Федорков В.Г. Телец В.А. Микросхемы ЦАП и АЦП: Функционирование, параметры, применение. — М.: Энергоатомиздат, 1990.
4. Баранов В.В. и др. Полупроводниковые БИС запоминающих устройств.— М.: Радио и связь, 1987.
5. Костюк Л.Д., Паранчук Я.С., Щур І.З. Мікропроцесорні засоби та системи: Навчальний посібник.—2-ге вид., перероб., доп., — Львів: Видавництво Національного університету “Львівська політехніка”, 2002. — 200с.